

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 3 月 9 日 (09.03.2006)

PCT

(10) 国際公開番号
WO 2006/025353 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 51/05 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2005/015705
- (22) 国際出願日: 2005 年 8 月 30 日 (30.08.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-251453 2004 年 8 月 31 日 (31.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 竹内孝之 (TAKEUCHI, Takayuki). 川島孝啓 (KAWASHIMA,

Takahiro). 齋藤徹 (SAITOH, Tohru). 奥澤智宏 (OKUZAWA, Tomohiro). 北岡康夫 (KITAOKA, Yasuo).

(74) 代理人: 鎌田耕一, 外 (KAMADA, Koichi et al.); 〒5300047 大阪府大阪市北区西天満 4 丁目 3 番 1 号 トモエマリオンビル 7 階 Osaka (JP).

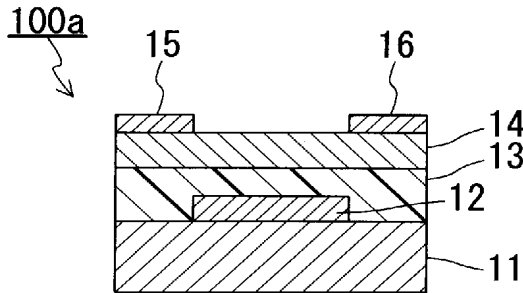
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

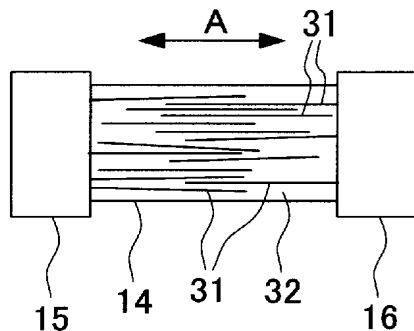
(54) Title: FIELD EFFECT TRANSISTOR, METHOD FOR MANUFACTURING THE SAME AND ELECTRONIC DEVICE USING THE FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタおよびその製造方法、ならびにそれを用いた電子機器



(57) Abstract: A field effect transistor is provided with a semiconductor layer (14); a source electrode (15) and a drain electrode (16) which are electrically connected with the semiconductor layer (14); and a gate electrode (12) for applying electric field to the semiconductor layer (14) between the source electrode (15) and the drain electrode (16). The semiconductor layer (14) includes a plurality of fine wires, which are composed of inorganic semiconductor, and an organic semiconductor material.

(57) 要約: 半導体層 14 と、半導体層 14 に電氣的に接続されたソース電極 15 およびドレイン電極 16 と、ソース電極 15 とドレイン電極 16 との間の半導体層 14 に電界を印加するためのゲート電極 12 とを備え、半導体層 14 が、無機半導体からなる複数の細線と有機半導体材料とを含む。





KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

電界効果トランジスタおよびその製造方法、ならびにそれを用いた電子機器

技術分野

[0001] 本発明は、電界効果トランジスタおよびその製造方法、ならびにそれを用いた電子機器に関する。

背景技術

[0002] 電界効果トランジスタ(以下、「FET」という場合がある)は、アクティブマトリクス型ディスプレイなど、様々な電子機器で用いられている。このような電子機器においてプラスチック基板を用いることによって、軽量でフレキシブルな機器が得られる。しかし、プラスチック基板を用いるためには、低温で半導体層を形成する必要がある。

[0003] FETの半導体層を低温で形成する方法として、半導体ナノワイヤを用いて半導体層を形成する方法が提案されている。その方法は、たとえば、ジアンフエン デュアン(Xiangfeng Duan)ら、ハイパフォーマンス シンフィilm トランジスターズ ユージング セミコンダクター ナノワイヤーズ アンド ナノリボンズ(High-performance thin-film transistors using semiconductor nanowires and nanoribbons)、ネイチャー(Nature)、米国、2003年9月18日、Vol.425、p.274-278に記載されている。その方法は、また、米国特許出願公開2005/0079659号公報にも記載されている。その方法は、また、国際公開WO2004/032193号パンフレットにも記載されている。

[0004] しかしながら、上記文献に記載の方法では、ナノワイヤと電極との間の電気的な接触、およびナノワイヤ同士の電気的な接触が十分ではなく、それらのばらつきも大きい。そのため、上記従来の方法で得られるFETは、しきい値電圧などの特性のばらつきが大きいという問題があった。

発明の開示

[0005] このような状況を考慮し、本発明は、特性のばらつきが小さい電界効果トランジスタを提供することを目的の1つとし、特に、特性のばらつきが小さく低温で形成が可能な電界効果トランジスタを提供することを目的の1つとする。

- [0006] 上記目的を達成するため、本発明の電界効果トランジスタは、半導体層と、前記半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記半導体層に電界を印加するためのゲート電極とを備える電界効果トランジスタであって、前記半導体層が、無機半導体からなる複数の細線と有機半導体材料とを含む。
- [0007] また、本発明の電子機器は、基板と前記基板上に形成されたトランジスタとを備える電子機器であって、前記トランジスタが上記本発明の電界効果トランジスタである。
- [0008] また、基板と、前記基板上に形成された半導体層と、前記半導体層に電氣的に接続されたソース電極およびドレイン電極とを備える電界効果トランジスタを製造するための本発明の方法は、(i) 無機半導体からなる複数の細線を前記基板上に成長させる工程と、(ii) 前記ソース電極と前記ドレイン電極とを結ぶ方向に前記細線を倒す工程と、(iii) 倒された前記細線に有機半導体材料を浸透させる工程とを含む。
- [0009] 本発明の電界効果トランジスタによれば、特性のばらつきが小さい電界効果トランジスタが得られる。特に、本発明の電界効果トランジスタは、低温で形成が可能であるため、高分子材料からなるフレキシブル基板上にも形成することが可能である。本発明の電子機器は、本発明の電界効果トランジスタを用いるため、軽量、フレキシブル、耐衝撃性に強い、製造が容易である、といった特性を備えることが可能である。

図面の簡単な説明

- [0010] [図1]図1A～図1Dは、本発明のFETの例を模式的に示す断面図である。
- [図2]図2Aおよび図2Bは、本発明のFETの他の例を模式的に示す断面図である。
- [図3]図3Aおよび図3Bは、半導体層中の無機半導体細線の配置の一例を模式的に示す図である。
- [図4]図4A～図4Hは、本発明のFETの製造方法の一例を模式的に示す図である。
- [図5]図5A～図5Eは、本発明のFETの製造方法の他の一例を模式的に示す上面図である。
- [図6]図6は、本発明のアクティブマトリクス型ディスプレイの一例を模式的に示す一部分解斜視図である。
- [図7]図7は、駆動回路およびその周辺の構成を示す模式的に示す斜視図である。
- [図8]図8は、無線IDタグの一例の構成を模式的に示す斜視図である。

[図9]図9は、携帯テレビの一例の構成を模式的に示す斜視図である。

[図10]図10は、通信端末の一例の構成を模式的に示す斜視図である。

[図11]図11は、携帯用医療機器の一例を模式的に示す斜視図である。

発明を実施するための最良の形態

- [0011] 以下、本発明の実施の形態について説明する。本発明の電界効果トランジスタ(薄膜トランジスタ)は、半導体層と、半導体層に電氣的に接続されたソース電極およびドレイン電極と、半導体層に電界を印加するためのゲート電極とを備える電界効果トランジスタであって、半導体層が、無機半導体からなる複数の細線と有機半導体材料とを含む。ゲート電極は、半導体層のうち、少なくとも、ソース電極とドレイン電極との間に存在する部分に電界を印加するための電極である。無機半導体からなる細線(無機半導体細線)と有機半導体材料とを含む半導体層の詳細については後述する。
- [0012] 本発明の電界効果トランジスタによれば、電極と半導体層との間の電氣的な接触のばらつき、および無機半導体細線同士の電氣的な接触のばらつきを抑制できる。そのため、特性のばらつきが小さく応答速度が速い電界効果トランジスタが得られる。特に、無機半導体細線を用いる従来の電界効果トランジスタでは、電極と半導体細線との間の電氣的接触のばらつきが大きいという問題があったが、本発明によれば、そのばらつきを容易に小さくできる。また、本発明の電界効果トランジスタでは、低温で半導体層を形成することが可能であるため、高分子材料などからなるフレキシブル基板上に電界効果トランジスタを形成することが可能である。また、本発明の電界効果トランジスタの半導体層は無機半導体細線を含んでいるため、有機半導体材料のみで形成した半導体層に比べて高い移動度を示す。また、本発明の電界効果トランジスタの半導体層は無機半導体細線を含んでいるため、有機半導体材料のみでは困難なn形の半導体層を形成できる。
- [0013] 本発明の電界効果トランジスタでは、ソース電極およびドレイン電極からなる群より選ばれる少なくとも1つの電極と無機半導体細線とが、有機半導体材料を介して接続されていてもよい。この構成によれば、無機半導体細線と電極との間の接続抵抗を低減でき、また、その接続抵抗のばらつきを低減できる。
- [0014] 本発明の電界効果トランジスタでは、無機半導体細線および有機半導体材料がと

もにp形の半導体として機能するものであってもよい。また、両者がともにn形の半導体として機能するものであってもよい。

- [0015] 無機半導体細線および有機半導体材料は、半導体層に求められる特性に応じて選択される。無機半導体細線には、Si細線およびGe細線からなる群より選ばれる少なくとも1つを用いてもよい。また、有機半導体材料には、ポリ(3-アルキルチオフェン)およびポリ(9, 9'-ジオクチルフルオレンコビチオフェン)からなる群より選ばれる少なくとも1つを用いてもよい。無機半導体細線と有機半導体材料との組み合わせとしては、たとえば、Si細線／ポリ(3-アルキルチオフェン)、Si細線／ポリ(9, 9'-ジオクチルフルオレンコビチオフェン)、Ge細線／ポリ(3-アルキルチオフェン)、およびGe細線／ポリ(9, 9'-ジオクチルフルオレンコビチオフェン)が挙げられる。これらを用いる場合、ソース電極およびドレイン電極の材料には、インジウム・スズ酸化物(ITO)、ニッケル、金、ポリエチレンジオキシチオフェン(PEDOT)などを用いることが好ましい。
- [0016] 本発明の電界効果トランジスタでは、半導体層が、ソース電極とドレイン電極とを結ぶ方向に平行なストライプ状に形成された層であってもよい。換言すれば、半導体層は、ストライプ状に配置された複数の帯状の半導体層によって構成されてもよい。この帯状の半導体層は、ソース電極とドレイン電極とを結ぶ方向に伸びるように形成される。このような半導体層は、たとえば、ストライプ状の貫通孔を有する撥液膜を形成し、その貫通孔の部分に半導体層を形成することによって、形成できる。撥液膜には、たとえば、撥水性の単分子膜や撥油性の単分子膜が用いられる。この方法で半導体層を形成することによって、半導体層内の無機半導体細線を、ソース電極とドレイン電極とを結ぶ方向に配向させることが可能である。
- [0017] 本発明の電界効果トランジスタでは、細線(無機半導体細線)の平均直径が100nm以下であってもよい。ここで、「細線の平均直径」とは、半導体層を走査型顕微鏡で観察して任意に100本の半導体細線を選択し、観察された細線の直径を平均した値を意味する。
- [0018] 本発明の電界効果トランジスタでは、細線(無機半導体細線)が、ソース電極とドレイン電極とを結ぶ方向に配向していてもよい。この構成によれば、ソース電極とドレイ

ン電極との間を流れるキャリアの実効的な移動度を高めることができ、応答速度が速い電界効果トランジスタが得られる。

[0019] 本発明の電界効果トランジスタでは、細線（無機半導体細線）がソース電極およびドレイン電極から選ばれる少なくとも1つの電極から成長していてもよい。この構成によれば、電極と無機半導体細線との間の接続抵抗を小さくできる。

[0020] 本発明の電子機器は、基板と基板上に形成されたトランジスタとを備える電子機器であって、トランジスタが上記本発明の電界効果トランジスタである。

[0021] 本発明の電子機器では、基板が高分子材料からなる基板であってもよい。この構成によれば、軽量でフレキシブルな電子機器を実現できる。

[0022] 本発明の電子機器は、アクティブマトリクス型ディスプレイであってもよい。また、本発明の電子機器は、無線IDタグであってもよい。また、本発明の電子機器は、携帯用機器であってもよい。

[0023] 電界効果トランジスタを製造するための本発明の方法は、無機半導体からなる複数の細線を基板上に成長させる工程(i)を含む。工程(i)において、無機半導体細線は、基板の表面に対してほぼ垂直な方向に成長させられる。無機半導体細線は、公知の方法で成長させることができる。次に、ソース電極とドレイン電極とを結ぶ方向に無機半導体細線を倒す(工程(ii))。次に、倒された無機半導体細線に有機半導体材料を浸透させる(工程(iii))。このようにして、無機半導体細線と有機半導体材料とを含む半導体層が形成される。

[0024] 以下、本発明の実施形態について例を挙げて説明する。ただし、本発明は以下の実施形態に限定されない。なお、以下で説明する図では、一部のハッチングを省略する場合がある。

[0025] (実施形態1)

以下、本発明のFETの例について説明する。図1A～図1Dは、本発明のFETの代表的な例を模式的に示す断面図である。図1A～Dに示すように、本発明のFETには様々な構成が存在する。図1A～図1DのFET100a～100dは、基板11、ゲート電極12、ゲート絶縁層13、半導体層14、ソース電極15、およびドレイン電極16を備える。半導体層14の一部はチャネル領域として機能する。ソース電極15およびド

レイン電極16は、通常、半導体層14に直接接触しているが、両者の界面に、接続抵抗を低減するための層などが配置されていてもよい。

[0026] ゲート電極12は、通常、ゲート絶縁層13を挟んで半導体層14と対向している。ゲート電極12は、少なくともチャネル領域、すなわちソース電極15とドレイン電極16との間の半導体層14に電界を印加する電極である。ゲート電極12によって半導体層14に印加される電界により、ソース電極15とドレイン電極16との間を流れる電流が制御される。半導体層14は上述した無機半導体細線（以下、「半導体細線」または「ナノワイヤ」と記載する場合がある）および有機半導体材料を含む。半導体層14は、典型的には半導体細線および有機半導体材料のみからなるが、必要に応じて他の材料を含んでもよい。

[0027] 本発明のFETは、図2Aおよび図2Bのような縦型のFETであってもよい。図2AのFET100eおよび図2BのFET100fでは、ソース電極15とドレイン電極16とが半導体層14を膜厚方向に挟んで対向している。

[0028] 基板11を構成する材料に特に限定はない。基板11として、高分子材料からなるフィルム、たとえば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリイミドなどからなるフィルムを用いることによって、フレキシブルで軽量のFETが得られる。ただし、ガラス基板やシリコン基板などの無機材料からなる基板を用いてもよい。

[0029] ゲート電極12は、導電性材料で形成でき、たとえば、Niなどの金属や導電性の高分子材料で形成してもよい。ゲート電極12は公知の方法で形成できる。たとえば、ゲート電極12を、マスク蒸着によって形成してもよいし、フォトリソ・エッチング工程によって形成してもよい。また、ゲート電極12は、導電性高分子をインクジェット法で印刷することによって形成してもよい。

[0030] ソース電極15およびドレイン電極16は、導電性材料で形成でき、たとえば、Au、Ag、Cu、Al、Pt、Pdといった金属や、導電性の高分子材料で形成してもよい。ソース電極15およびドレイン電極16は公知の方法で形成できる。これらの電極は、マスク蒸着によって形成してもよい。また、これらの電極は、スパッタリング法やCVD法によって形成された導電性材料の膜を、フォトリソ・エッチング工程によってパターンニング

することによって形成してもよい。エッチングは、たとえば異方性ドライエッチングによって行うことができる。レジスト膜は、たとえば酸素系プラズマエッチングによって除去できる。また、上記電極は、導電性高分子をインクジェット法で印刷することによって形成してもよい。

- [0031] ゲート絶縁層13は、絶縁性の材料で形成でき、たとえば、ポリビニルアルコール、ポリビニルフェノール、ポリイミドといった有機材料や、 SiO_2 や Ta_2O_5 といった絶縁性の無機酸化物で形成してもよい。ゲート絶縁層13は、スピンコート法や蒸着法といった公知の方法で形成できる。
- [0032] 半導体層14は、有機半導体材料と複数の無機半導体細線とを含む混合物からなる。有機半導体材料が複数の無機半導体細線の間に配置されることによって、無機半導体細線同士の接続抵抗のばらつきを低減できる。また、有機半導体材料が無機半導体細線と電極との間に配置されることによって、無機半導体細線と電極との間の接続抵抗のばらつきを低減できる。
- [0033] 半導体層14は、有機半導体材料と無機半導体細線のみからなるものであってもよいが、本発明の効果が得られる限り他の物質を含んでもよい。通常、有機半導体材料と無機半導体細線とは、合計で、半導体層14の90重量%以上(たとえば99重量%以上)である。有機半導体材料と無機半導体細線との混合比に特に限定はなく、用いる材料やFETに要求される特性に応じて選択される。一例では、有機半導体材料と無機半導体細線との重量比を、[有機半導体材料]:「無機半導体細線」=20:1～1:2程度の範囲(たとえば2:1～1:2の範囲)としてもよい。
- [0034] 有機半導体材料は、半導体性を示す有機材料であり、公知の有機分子を用いることができる。有機半導体材料は、ドーパントを含んでもよい。有機半導体材料は、溶媒に分散または溶解させることができる有機分子であることが好ましい。好ましい有機分子としては、たとえば、ポリ(3-アルキルチオフェン)や、ポリ(9, 9'-ジオクチルフルオレンコビチオフェン)、ポリアセチレン、ポリ(2, 5-チエニレンビニレン)などが挙げられる。無機半導体細線と均一に交じり合うという点から、有機半導体材料は、溶媒への溶解性が高いことが好ましい。また、より高いトランジスタ特性を得るという点から、有機半導体材料は、それ単独で、特性が高い半導体層を形成できる材料であ

ることが好ましい。さらに、電極と無機半導体細線との間や、無機半導体細線同士の間の電荷の受け渡しを中継するという点から、有機半導体材料は、使用される電極材料や無機半導体細線とのコンタクト抵抗の低い材料であることが好ましい。

- [0035] 無機半導体細線は、バルクの状態で半導体特性を示す材料で形成でき、たとえば、シリコンやゲルマニウムといった半導体で形成できる。これらの半導体には不純物(ドーパント)をドーピングしてもよく、たとえば、リン(P)をドーブしたシリコンや、ホウ素(B)をドーブしたゲルマニウムなどを用いてもよい。ドーピングは、細線を成長させる際の原料にドーパントを添加することによって行ってもよいし、形成された細線にドーパントをイオン注入することによって行ってもよい。
- [0036] 無機半導体細線の形状は、製造方法や製造条件によって変化する。無機半導体細線の平均直径は、通常、20nm程度以下であり、たとえば1nm～100nmの範囲である。無機半導体細線の平均長さに特に限定はないが、たとえば0.1 μm ～50 μm 程度であり、通常1 μm ～10 μm 程度である。ここで、「半導体細線の平均長さ」とは、半導体層を走査型顕微鏡で観察して任意に100本の半導体細線を選択し、観察された細線の長さを平均した値を意味する。
- [0037] 無機半導体細線は、公知の方法など、様々な方法で形成できる。無機半導体細線の形成方法は、たとえば、背景技術の欄で挙げた文献に記載されている。また、無機半導体細線の形成方法は、サイエンス(SCIENCE)、Vol. 279(1998年)、p. 208—211にも記載されている。また、ジャーナル・オブ・クリスタル・グロース(Journal of Crystal Growth)、254(2003年)p. 14—22にも記載されている。また、アプライド・フィジックス・レターズ(APPLIED PHYSICS LETTERS)、Vol. 84(2004年)、p. 4176—4178にも記載されている。
- [0038] VLS(Vapor-Liquid-Solid)成長メカニズムによって、直径の制御された細線(ナノワイヤ)を触媒金属から成長させることができる。細線の成長は、たとえば、CVD法などの気相成長法によって行うことができる。Siナノワイヤを成長させる場合には、たとえば、シランガス(モノシラン)やジシランガスを供給すればよい。また、Geナノワイヤを成長させる場合には、たとえばゲルマンガスを供給すればよい。
- [0039] 触媒金属に特に限定はないが、たとえば、金、鉄、コバルト、ニッケルのような遷移

金属またはそれらの合金を用いることができる。触媒金属は、通常、微粒子の形態で用いられるが、他の形態で用いられてもよい。触媒金属の形成方法に特に限定はなく、たとえば、触媒金属の薄膜を成長用基板の上に堆積させ、熱処理を行うことによって金属を凝集させて微粒子を形成してもよい。また、細線を成長させる表面に、触媒金属の微粒子を分散させた液体を塗布したのち乾燥させることによって触媒微粒子を所定の位置に配置してもよい。この方法は、低温で触媒微粒子を配置できるという点で好ましい。

[0040] 以下に、無機半導体細線の製造方法の一例について説明する。まず、触媒微粒子を基板上に配置させる。触媒微粒子は、触媒微粒子が分散したAuコロイド溶液を基板上にスピコートし、その後、溶媒を除去することによって基板上に配置させることができる。次に、CVD法(通常のLP-CVD法でよい)によって、触媒金属からナノワイヤを成長させる。ナノワイヤは、例えば、成長ガスにシラン(ガス流量50sccm程度)を用い、成長温度450℃、成長時間1時間程度で成長させることができる。

[0041] 半導体層14は、様々な方法で形成することができる。たとえば、無機半導体細線と有機半導体材料と溶媒(または分散媒。以下、同様である。)とを含む液体を塗布して膜を形成したのち、溶媒を除去することによって半導体層14を形成してもよい。この場合、溶媒に特に限定はないが、たとえばクロロホルム、トルエン、キシレン、メシレンなどを用いることができる。

[0042] また、無機半導体細線からなる膜を形成したのち、その膜の表面に有機半導体材料を供給することによって半導体層14を形成してもよい。半導体細線からなる膜の表面に供給された有機半導体材料は、その膜に浸透し、半導体細線と有機半導体材料とが混在した半導体層14が形成される。無機半導体細線からなる膜は、たとえば、溶媒に分散させた無機半導体細線を含む液体を塗布して塗膜を形成したのち、溶媒を除去することによって形成できる。また、基板から無機半導体細線を成長させてもよい。このとき、成長した複数の無機半導体細線を一方向に倒すことによって、特定の方向に配向した複数の半導体細線を含む膜を形成できる。また、ソース電極15および/またはドレイン電極16の表面から無機半導体細線を成長させてもよい。この方法では、マスクなどで電極の所定の部分(たとえば側面)のみを露出させることによ

り、その部分のみから半導体細線を成長させることができる。これによって、一方の電極から他方の電極に向かって半導体細線を成長させることが可能となる。有機半導体材料は、蒸着法などによって供給してもよいし、有機半導体材料を含む液体を塗布することによって供給してもよい。

[0043] 半導体層14中の無機半導体細線の好ましい配向の例を図3に模式的に示す。半導体層14は、無機半導体細線31と有機半導体材料32との混合物からなる。図3Aの例では、無機半導体細線31が、ソース電極15とドレイン電極16とを結ぶ方向Aにほぼ平行な方向に配向している。このように配向させる方法としては、たとえば、ソース電極15の側面とドレイン電極16の側面のうち互いに対向している側面のみが露出するようにマスキングを行った状態で無機半導体細線31を成長させる方法がある。また、図3Bの例では、無機半導体細線31が、ソース電極15およびドレイン電極16の表面から、他方の電極に向かって、すなわち方向Aにほぼ平行に成長している。これらの構成によれば、移動度がより高いチャネル領域を形成できる。なお、図3Bの例において、無機半導体細線31は、ソース電極15またはドレイン電極16のいずれか一方のみから成長してもよい。

[0044] なお、本発明の効果が得られる限りFETの構成に特に限定はない。以下では、図1BのFET100bおよび図1DのFET100dを例に挙げて説明する。

[0045] 図1BのFET100bでは、基板11の一主面上にゲート電極12が形成され、ゲート電極12を覆うようにゲート絶縁層13が形成されている。ソース電極15およびドレイン電極16は、ゲート絶縁層13の上に、互いに距離をおいて形成されている。半導体層14は、ソース電極15およびドレイン電極16とゲート絶縁層13の露出面とを覆うように形成されている。半導体層14は、無機半導体細線と有機半導体材料との複合体である。このように、FET100bでは、基板11上に、ゲート電極12、ゲート絶縁層13、2つの電極、および半導体層14が積層されている。

[0046] 図1DのFET100dでは、ソース電極15およびドレイン電極16が、基板11の一主面上に、互いに一定の距離をおいて形成されている。なお、必要に応じて基板11の表面にはSiO₂ などからなる絶縁層が形成される。半導体層14は、2つの電極と基板11の露出面とを覆うように形成される。ゲート絶縁層13は、半導体層14上に形成さ

れる。ゲート電極12は、ゲート絶縁層13上であって、少なくともソース電極15とドレイン電極16との間の領域に対応する位置に形成される。このように、FET100dでは、基板11上に、2つの電極、半導体層14、ゲート絶縁層13、およびゲート電極12が積層されている。

[0047] 本発明のFETでは、ソース電極15とドレイン電極16との間の間隔Lが、半導体無機細線の平均長さの2倍～10倍程度であってもよい。間隔Lが半導体無機細線の平均長さの2倍以上である場合、ソース電極15からドレイン電極16へ移動するキャリアは、複数の細線を通過する。本発明のFETでは、細線と細線との間が有機半導体材料で接続されているため、そのような場合でも高い移動度を達成できる。

[0048] 以下に、本発明のFETの製造方法について、実施可能な例を説明する。なお、以下で説明する各部分の材料および形成方法は一例であり、本発明は以下の例に限定されない。

[0049] (第1の製造方法)

以下に、図1BのFET100bの製造方法の一例について説明する。まず、ポリエチレンテレフタレート(PET)からなる基板11(厚みがたとえば $100\mu\text{m}$)上に、マスク蒸着によってNiからなるゲート電極12(厚みがたとえば 100nm)を形成する。次に、ポリビニルアルコールの水溶液をスピンコート法によって塗布したのち乾燥させ、ゲート絶縁層13(厚みがたとえば 500nm)を形成する。次に、ゲート絶縁層13上に、マスク蒸着によって、Auからなるソース電極15およびドレイン電極16(それぞれ厚みがたとえば 100nm)を形成する。

[0050] 次に、上述した方法によって半導体層14を形成する。以下に、半導体層14の形成方法について2つの具体例を説明する。

[0051] 第1の方法では、まず、適量(たとえば同じ重量)の無機半導体細線と有機半導体材料とを溶媒に混入し、両者が溶媒中で均一になるように十分に分散させて混合液を得る。溶媒には、たとえば、クロロホルム、トルエン、キシレン、メシチレンなどを用いることができる。無機半導体細線は上述した方法で形成する。次に、この混合液を塗布したのち乾燥することによって、半導体層14(厚みがたとえば 500nm)を形成する。混合液の塗布は、たとえばスピンコート法で行うことができる。

[0052] 第2の方法では、まず、無機半導体細線を分散媒中に分散させて混合液を作製する。この混合液を所望の位置に塗布したのち乾燥(分散媒の除去)することによって、無機半導体細線の膜を形成する。分散媒には、たとえば、エタノール、クロロホルム、トルエン、キシレン、メシチレンなどを用いることができる。この膜に、有機半導体材料を含む液体を塗布したのち乾燥する。有機半導体材料を含む液体としては、クロロホルム、トルエン、キシレン、メシチレンといった溶媒に有機半導体材料を溶解して得られる液体を用いることができる。この液体の塗布によって、有機半導体材料が無機半導体細線の膜に浸透し、半導体細線と有機半導体材料とが混在した半導体層14が形成される。

[0053] (第2の製造方法)

以下に、図1DのFET100dの製造方法の一例について説明する。まず、シリコン基板の表面に酸化シリコン層を形成したのち、ソース電極およびドレイン電極を形成する。これらの電極は、たとえばチタンで形成できる。これらの電極は、たとえば、スパッタリングで金属膜を成膜した後、フォトリソ・エッチング工程でパターニングすることによって形成できる。

[0054] 次に、CVD法によってシリコンからなる無機半導体細線をソース電極およびドレイン電極の表面から成長させる。材料ガスには、たとえばシラン又はジシランを用いることができる。また、半導体細線を成長させる触媒には、金などの触媒を用いることができる。

[0055] ソース電極およびドレイン電極の表面のうち、特定の側面、具体的には他方の電極に対向する側面のみを露出させることによって、その側面のみから無機半導体細線を成長させることができる。無機半導体細線を成長させる部分以外の部分は、レジストマスクなどによって覆う。この方法によれば、無機半導体細線を、一方の電極から他方の電極に向かって基板の表面と平行に成長させることが可能となる。

[0056] 次に、スピコート法によって、有機半導体材料を含む液体を、ソース電極、ドレイン電極および無機半導体細線を覆うように塗布したのち、塗布した液体を乾燥させる。次に、チャネル領域の部分をレジストによってマスクし、チャネル領域以外の部分の有機半導体層をフォトリソ・エッチング工程で除去する。このようにして、半導体層14

を形成する。

[0057] 次に、半導体層14上に、ゲート絶縁層13およびゲート電極12を、公知の方法で形成する。このようにして、FET100dを製造できる。

[0058] (第3の製造方法)

FET100dと同様のFETを製造する方法の一例を、図4A～図4Hを用いて説明する。図4A、4C、4Eおよび4Gは上面図であり、それらの断面図を図4B、4D、4Fおよび4Hに示す。

[0059] まず、シリコン基板41の表面に酸化シリコン層42を形成したのち、ソース電極15およびドレイン電極16を形成する(図4Aおよび4B)。これらの電極は、第2の製造方法と同様の方法で形成する。

[0060] 次に、CVD法によって、酸化シリコン層42の表面に、シリコンからなる無機半導体細線43を成長させる(図4Cおよび4D)。材料ガスには、シランを用いる。また、ナノワイヤを成長させる触媒としては、金を用いる。これらの触媒微粒子は、金コロイド溶液をスピコートする方法や金薄膜をスパッタ法や蒸着法で堆積させ、アニールすることによって自己組織化的に金微粒子を形成する方法で酸化シリコン層の表面に配置される。

[0061] この方法では、無機半導体細線43は基板表面に対して垂直な方向に成長する。次に、成長した無機半導体細線43を、ソース電極15とドレイン電極16とを結ぶ方向とほぼ平行な方向に押し倒す(図4Eおよび4F)。これによって、無機半導体細線を概ね上記方向に配向させることができる。無機半導体細線43は、たとえば、液晶の配向膜を形成するラビング装置などを用いて一方向に押し倒すことができる。このようにして、無機半導体細線の膜を形成する。

[0062] 次に、スピコート法によって、有機半導体材料を含む液体を、ソース電極15、ドレイン電極16および無機半導体細線43を覆うように塗布したのち、塗布した液体を乾燥させる。次に、チャネル領域近傍の部分をレジストによってマスクし、チャネル領域近傍以外の部分の有機半導体層をフォトリソ・エッチング工程で除去する。このようにして、半導体層14を形成する(図4Gおよび4H)。

[0063] 次に、半導体層14上に、ゲート絶縁層13およびゲート電極12を、公知の方法で形

成する。このようにして、FET100dを製造できる。

[0064] (第4の製造方法)

以下に、図1DのFET100dの製造方法について他の一例を説明する。まず、図5Aに示すように、基板11の表面にソース電極15およびド레인電極16を形成する。これらの電極は、第2の製造方法と同様の方法で形成する。

[0065] 次に、図5Bに示すように、レジスト膜51(図5Bではハッチングを付す)を形成する。このレジスト膜51は、ソース電極15とド레인電極16との間において、ストライプ状に形成されている。レジスト膜51は、たとえば、東京応化工業株式会社製のフォトレジスト(OFPR5000)を用いて形成できる。

[0066] 次に、レジスト膜51を覆うように基板上の全面に撥油膜を形成したのち、レジスト膜51を除去する。これによって、図5Cに示すように、複数の帯状の貫通孔52aを有する撥油膜52が形成される。貫通孔52aは、ソース電極15とド레인電極16との間にストライプ状に形成される。撥油膜は、たとえば、以下の方法で形成できる。まず、信越化学工業株式会社の単分子膜形成材料(X-24-9367C)の溶液に、乾燥雰囲気グローブボックス内で基板を2分間浸漬する。その後、グローブボックス内で、洗浄液(たとえば住友スリーエム株式会社製、ハイドロフルオロエーテルHEF-7200)を用いて基板を洗浄する。このようにして、撥油膜を形成できる。帯状の貫通孔52aは、それぞれ、ソース電極15とド레인電極16とを結ぶ方向に伸びており、 $0.5\mu\text{m}\sim 5\mu\text{m}$ 程度の幅を有する。また、貫通孔52a同士の間隔は、たとえば $0.5\mu\text{m}\sim 10\mu\text{m}$ 程度である。

[0067] 次に、図5Dに示すように、複数の帯状の半導体層14aによって構成された半導体層14を形成する。半導体層14は、上述した方法によって形成できる。ソース電極15とド레인電極16との間には撥油膜52が形成されているため、無機半導体細線が分散された液体を撥油膜52上に塗布すると、その液体は撥油膜52によってはじかれて帯状の貫通孔52a内のみに配置される。貫通孔52a内に配置された無機半導体細線は、ソース電極15とド레인電極16とを結ぶ方向に配向する。その後、第2の製造方法と同様に、有機半導体を含む液体を塗布し、乾燥することによって、ストライプ状の半導体層14が形成される。

[0068] 次に、半導体層14上に、ゲート絶縁層13およびゲート電極12を、公知の方法で形成する(図5E)。このようにして、FET100dを製造できる。

[0069] なお、FET100aおよびFET100cも、各部分の形成順序を変更するだけで、FET100bおよびFET100dと同様の方法で形成できる。たとえば、FET100aの場合、基板11上に、ゲート電極12、ゲート絶縁層13、半導体層14、ソース電極15およびドレイン電極16の順で形成すればよい。FET100cの場合、基板11上に、半導体層14、ソース電極15およびドレイン電極16、ゲート絶縁層13、ゲート電極12の順で形成すればよい。

[0070] (実施形態2)

実施形態2では、実施形態1で説明した本発明のFETを備える電子機器の例として、アクティブマトリクス型ディスプレイ、無線IDタグ、および携帯用機器について説明する。

[0071] アクティブマトリクス型ディスプレイの一例として、表示部に有機ELを用いたディスプレイについて説明する。ディスプレイの構成を模式的に示す一部分解斜視図を、図6に示す。

[0072] 図6に示すディスプレイは、プラスチック基板151上にアレイ状に配置された駆動回路150を備える。駆動回路150は本発明のFETを含み、画素電極に接続されている。駆動回路150の上には、有機EL層152、透明電極153および保護フィルム154が配置されている。有機EL層152は、電子輸送層、発光層および正孔輸送層といった複数の層が積層された構造を有する。各FETの電極に接続されたソース電極線155とゲート電極線156とは、それぞれ、制御回路(図示せず)へ接続される。

[0073] 駆動回路150およびその周辺の一例の拡大図を、図7に示す。図7に示すFETの構造は、基本的に図1Cに示すFET100cの構造と基本的には同じである。図7に示すFETでは、半導体層164、ソース電極165およびドレイン電極166、ゲート絶縁層163、ゲート電極162が、基板上に積層されている。そして、ドレイン電極166は、有機ELの画素電極167に電氣的に接続されている。また、ゲート電極162が接続されたゲート電極線156と、ソース電極165が接続されたソース電極線155とが交差する部分には、絶縁層168が形成されている。半導体層164には、上述した半導体層14

が適用される。

- [0074] このように、実施形態1で説明したFETを用いてアクティブマトリクス型のディスプレイを構成することによって、キャリア移動度が高くしきい値電圧のばらつきが小さいFETを安定して実現できる。これにより、特性が高く安価なディスプレイが得られる。また、本発明のFETを使用することによって、柔軟性および耐衝撃性を備えたシートライクなディスプレイを実現できる。また、キャリア移動度の向上によって、表示速度(反応速度)の速いアクティブマトリクス型のディスプレイを得ることが可能となる。
- [0075] なお、この実施形態では表示部に有機ELを用いた場合について説明したが、本発明はこれに限定されない。本発明は、FETを含む回路を備える他のアクティブマトリクス型のディスプレイに適用でき、それによって同様の効果が得られる。
- [0076] また、画素を駆動する駆動回路部の構成は、この実施形態で示した構成には限定されない。たとえば、1つの画素を駆動するために電流駆動用のFETとそれを制御するためのスイッチング用FETとを組み合わせた構成としてもよい。また、さらに複数個のFETを組み合わせた構成としてもよい。また、図7に示したFETに代えて本発明の他のFETを用いてもよく、その場合も同様の効果が得られる。
- [0077] 次に、本発明のFETを無線IDタグに応用した場合について説明する。本発明のFETを用いた無線IDタグの一例の斜視図を、図8に模式的に示す。
- [0078] 無線IDタグ170は、フィルム状のプラスチック基板171を基板として使用している。この基板171上には、アンテナ部172とメモリーIC部173とが設けられている。ここで、メモリーIC部173は、実施形態1において説明した本発明のFETを利用して構成される。無線IDタグ170は、基板の裏面に粘着効果を持たせることによって、菓子袋やドリンク缶のような平坦でないものに貼り付けることが可能である。なお、無線IDタグ170の表面には、必要に応じて保護膜が設けられる。
- [0079] このように、本発明のFETを用いることによって、様々な素材の物品へ貼り付けることが可能で様々な形状の無線IDタグが得られる。また、キャリア移動度が高い本発明のFETを用いることによって、反応速度(処理速度)が速く、通信周波数の高い無線IDタグが得られる。
- [0080] なお、本発明の無線IDタグは、図8に示した無線IDタグに限定されない。従って、

アンテナ部およびメモリーIC部の配置や構成に限定はない。たとえば、倫理回路を無線IDタグに組み込んでよい。

- [0081] また、この実施形態では、アンテナ部172とメモリーIC部173とをプラスチック基板171上に形成する場合について説明したが、本発明はこの形態に限定されない。たとえば、インクジェット印刷のような方法を用いて、対象物に直接、アンテナ部172とメモリーIC部173とを形成してもよい。その場合も、本発明のFETを形成することによって、キャリア移動度およびしきい値電圧が改善されたFETを備える無線IDタグを低コストで製造できる。
- [0082] 次に、本発明のFETを含む集積回路を備える携帯用機器について説明する。携帯用機器の集積回路には、演算素子や記憶素子やスイッチング素子など、半導体の特性を利用した様々な素子が用いられる。これらの素子の少なくとも一部に本発明のFETを用いることによって、機械的柔軟性、耐衝撃性、捨てる際の対環境性、軽量、安価といった特性に優れるという有機材料の利点を備える携帯用機器を製造できる。
- [0083] 本発明の携帯用電子機器の例として、3つの携帯用機器を図9～図11に示す。図9に示す携帯テレビ180は、表示装置181、受信装置182、側面スイッチ183、前面スイッチ184、音声出力部185、入出力装置186、記録メディア挿入部187を備える。本発明のFETを含む集積回路は、携帯テレビ180を構成する演算素子や記憶素子やスイッチング素子などの素子を含む回路として使用される。
- [0084] 図10に示す通信端末190は、表示装置191、送受信装置192、音声出力部193、カメラ部194、折りたたみ用可動部195、操作スイッチ196、音声入力部197を備える。本発明のFETを含む集積回路は、通信端末190を構成する演算素子や記憶素子やスイッチング素子などの素子を含む回路として使用される。
- [0085] 図11に示す携帯用医療機器200は、表示装置201、操作スイッチ202、医療的処置部203、経皮コンタクト部204を備える。携帯用医療機器200は、例えば腕205などに巻き付けられて携帯される。医療的処置部203は、経皮コンタクト部204から得られる生態情報を処理し、それに応じて経皮コンタクト部204を通じて薬物投与などの医療的処置を行う部分である。本発明のFETを含む集積回路は、携帯用医療機器200を構成する演算素子や記憶素子やスイッチング素子などの素子を含む回路として

使用される。

[0086] なお、本発明のFETを応用した電子機器の構成について例を挙げて説明したが、本発明はこれらの構成に限定されない。また、本発明のFETを適用できる電子機器は、例示した機器に限定されない。本発明のFETは、PDA端末や、ウェアラブルなAV機器、ポータブルなコンピュータ、腕時計タイプの通信機器など、機械的柔軟性、耐衝撃性、捨てる際の対環境性、軽量性、安価といった特性が要求される機器に好適に応用できる。

[0087] 以上、本発明の実施形態について例を挙げて説明したが、本発明は、上記実施形態に限定されず本発明の技術的思想に基づき他の実施形態に適用することができる。

産業上の利用可能性

[0088] 本発明は、電界効果トランジスタおよびそれを備える各種の電子機器に適用できる。

請求の範囲

- [1] 半導体層と、前記半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記半導体層に電界を印加するためのゲート電極とを備える電界効果トランジスタであって、
前記半導体層が、無機半導体からなる複数の細線と有機半導体材料とを含む電界効果トランジスタ。
- [2] 前記ソース電極および前記ドレイン電極からなる群より選ばれる少なくとも1つの電極と前記細線とが、前記有機半導体材料を介して接続されている請求項1に記載の電界効果トランジスタ。
- [3] 前記細線および前記有機半導体材料がともにp形の半導体として機能する請求項1に記載の電界効果トランジスタ。
- [4] 前記半導体層が、前記ソース電極と前記ドレイン電極とを結ぶ方向に平行なストライプ状に形成された層である請求項1に記載の電界効果トランジスタ。
- [5] 前記細線の平均直径が100nm以下である請求項1に記載の電界効果トランジスタ。
- [6] 前記細線が、前記ソース電極と前記ドレイン電極とを結ぶ方向に配向している請求項1に記載の電界効果トランジスタ。
- [7] 前記細線が、前記ソース電極および前記ドレイン電極からなる群より選ばれる少なくとも1つの電極から成長している請求項1に記載の電界効果トランジスタ。
- [8] 基板と前記基板上に形成されたトランジスタとを備える電子機器であって、前記トランジスタが請求項1に記載の電界効果トランジスタである電子機器。
- [9] 前記基板が高分子材料からなる基板である請求項8に記載の電子機器。
- [10] アクティブマトリクス型ディスプレイである請求項8に記載の電子機器。
- [11] 無線IDタグである請求項8に記載の電子機器。
- [12] 携帯用機器である請求項8に記載の電子機器。
- [13] 基板と、前記基板上に形成された半導体層と、前記半導体層に電氣的に接続されたソース電極およびドレイン電極とを備える電界効果トランジスタの製造方法であって、

- (i) 無機半導体からなる複数の細線を前記基板上に成長させる工程と、
- (ii) 前記ソース電極と前記ドレイン電極とを結ぶ方向に前記細線を倒す工程と、
- (iii) 倒された前記細線に有機半導体材料を浸透させる工程とを含む電界効果トランジスタの製造方法。

[図1]

Fig. 1A

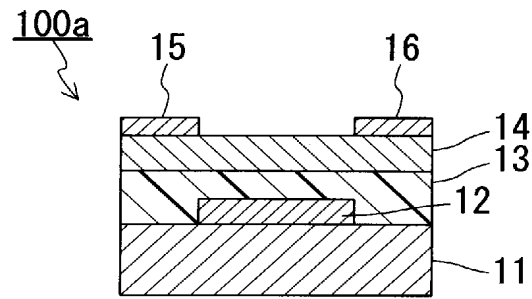


Fig. 1B

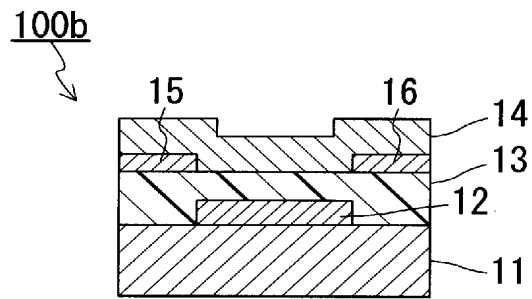


Fig. 1C

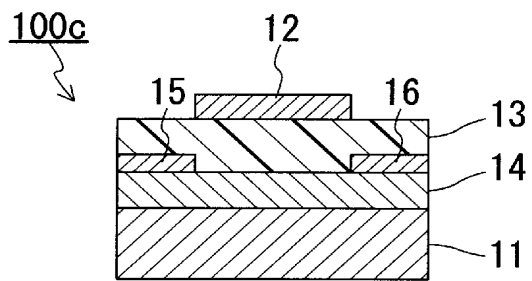
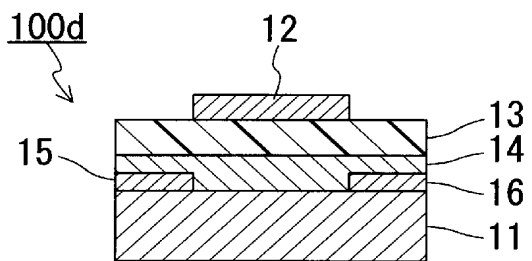


Fig. 1D



[図3]

Fig. 3A

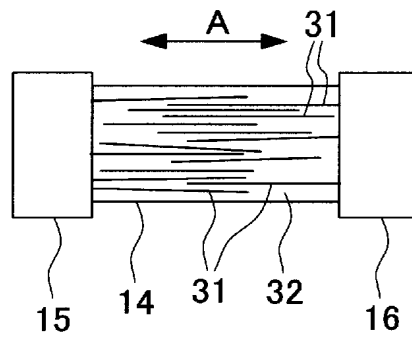
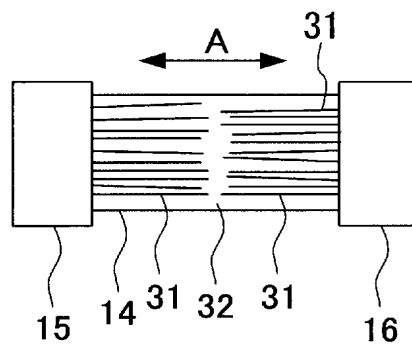


Fig. 3B



[図4]

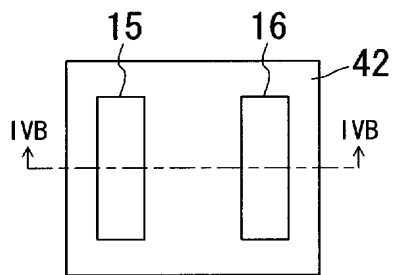


Fig. 4A

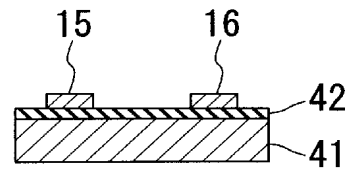


Fig. 4B

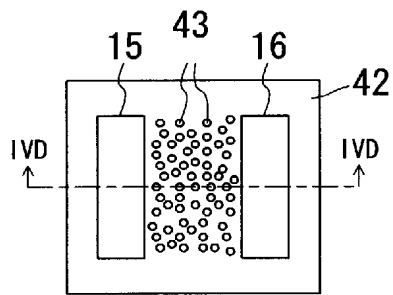


Fig. 4C

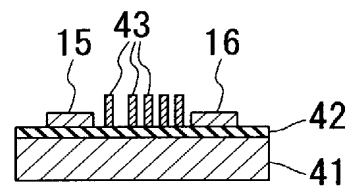


Fig. 4D

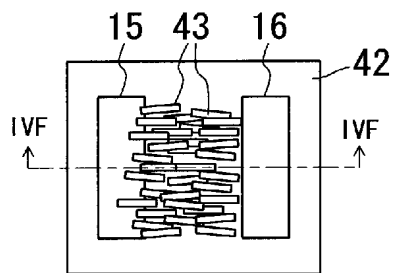


Fig. 4E

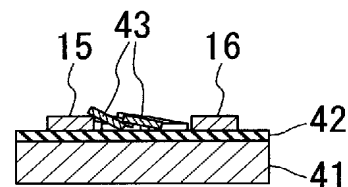


Fig. 4F

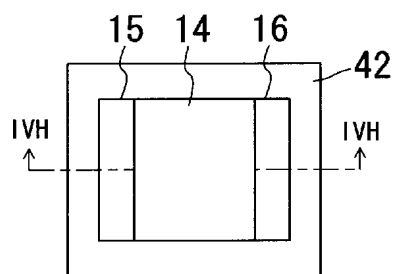


Fig. 4G

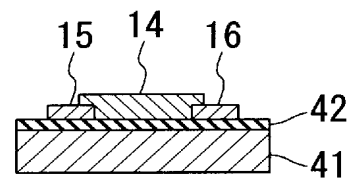


Fig. 4H

[図5]

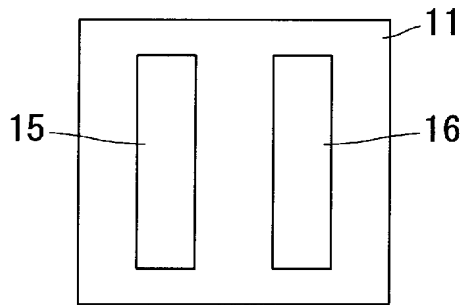


Fig. 5A

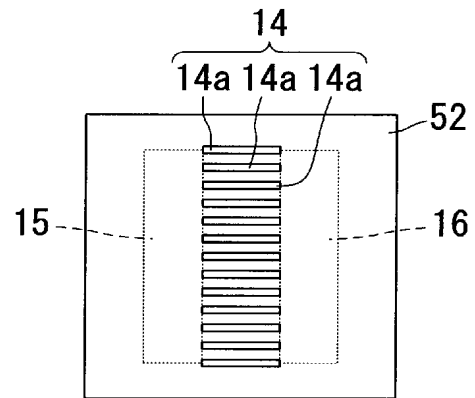


Fig. 5D

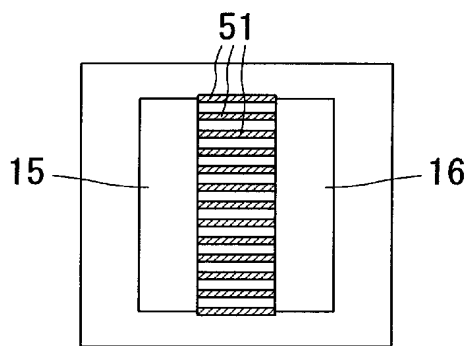


Fig. 5B

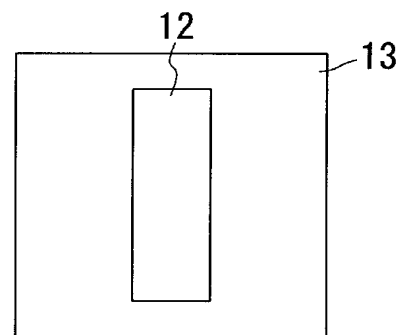


Fig. 5E

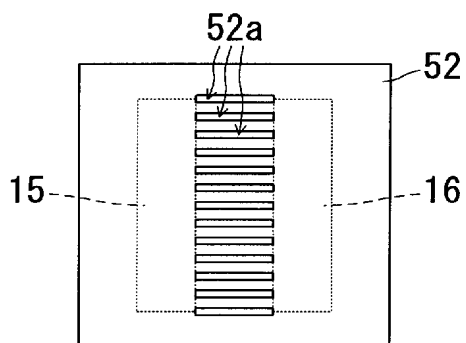


Fig. 5C

[図6]

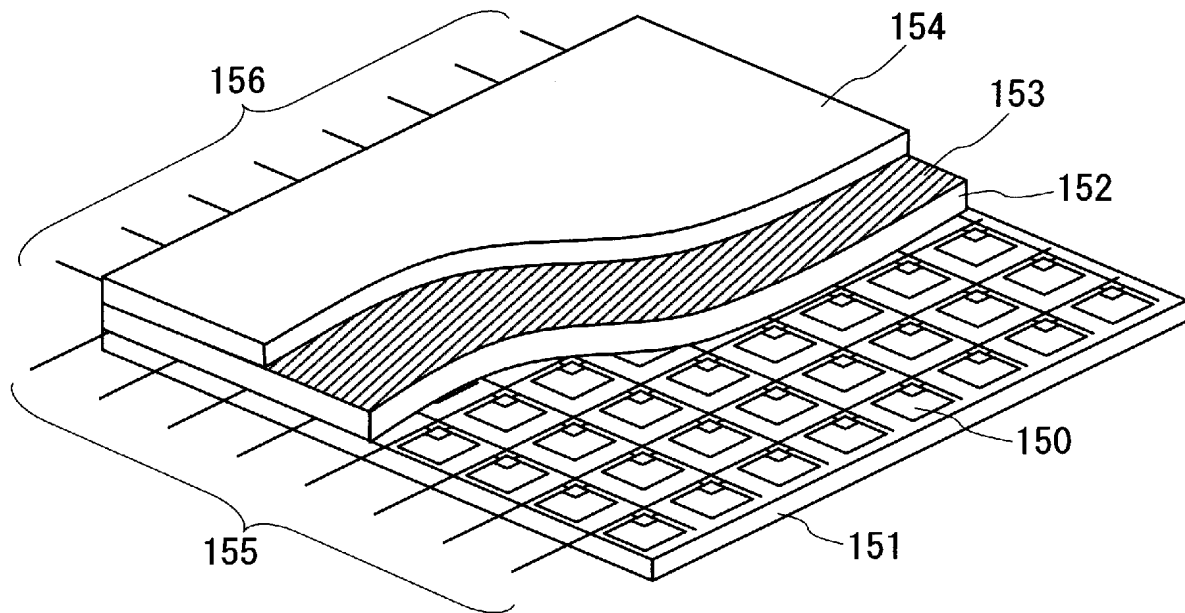


Fig. 6

[図7]

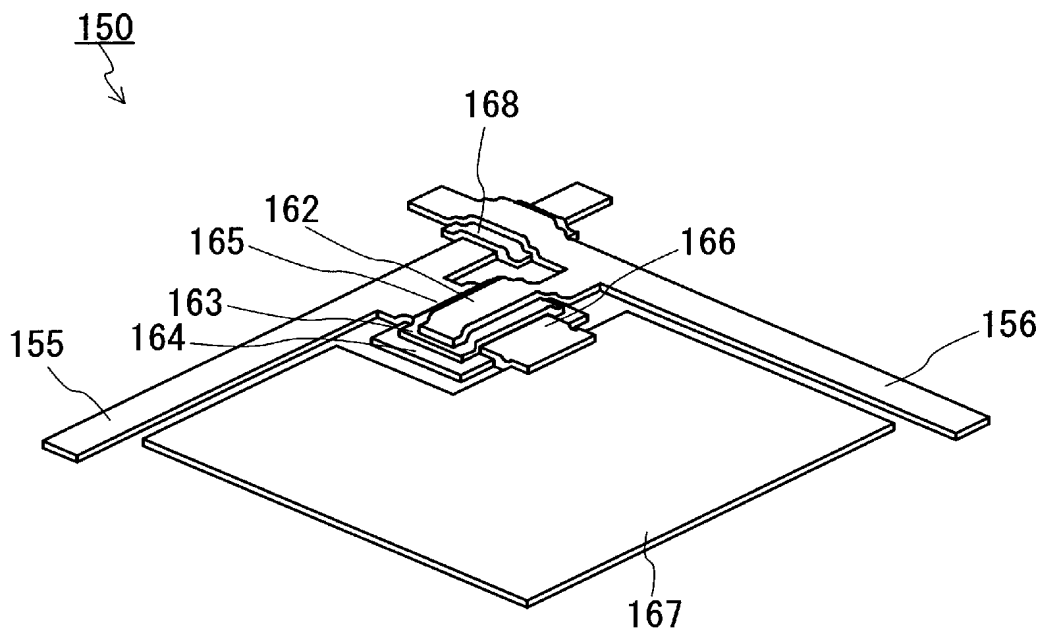


Fig. 7

[図8]

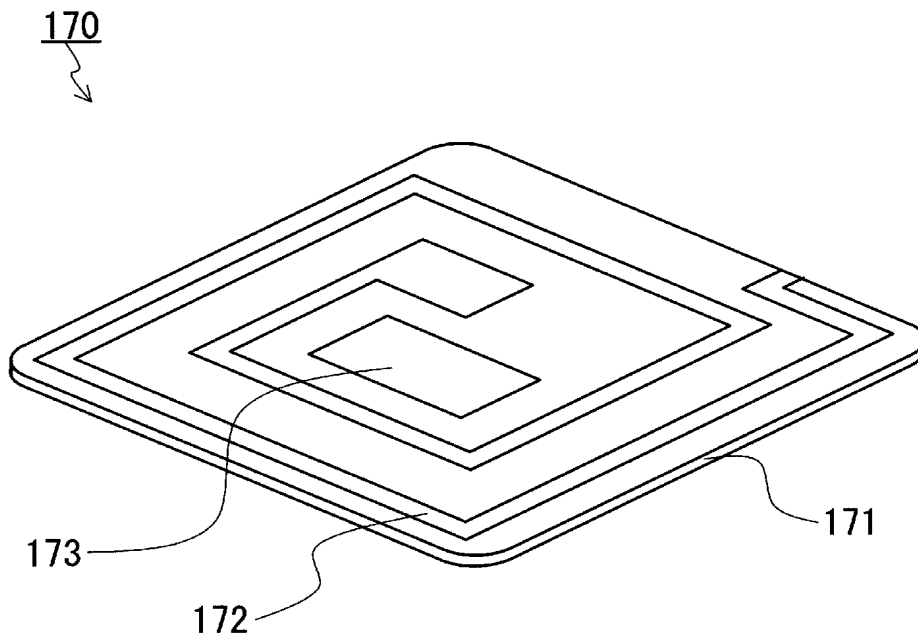


Fig. 8

[図9]

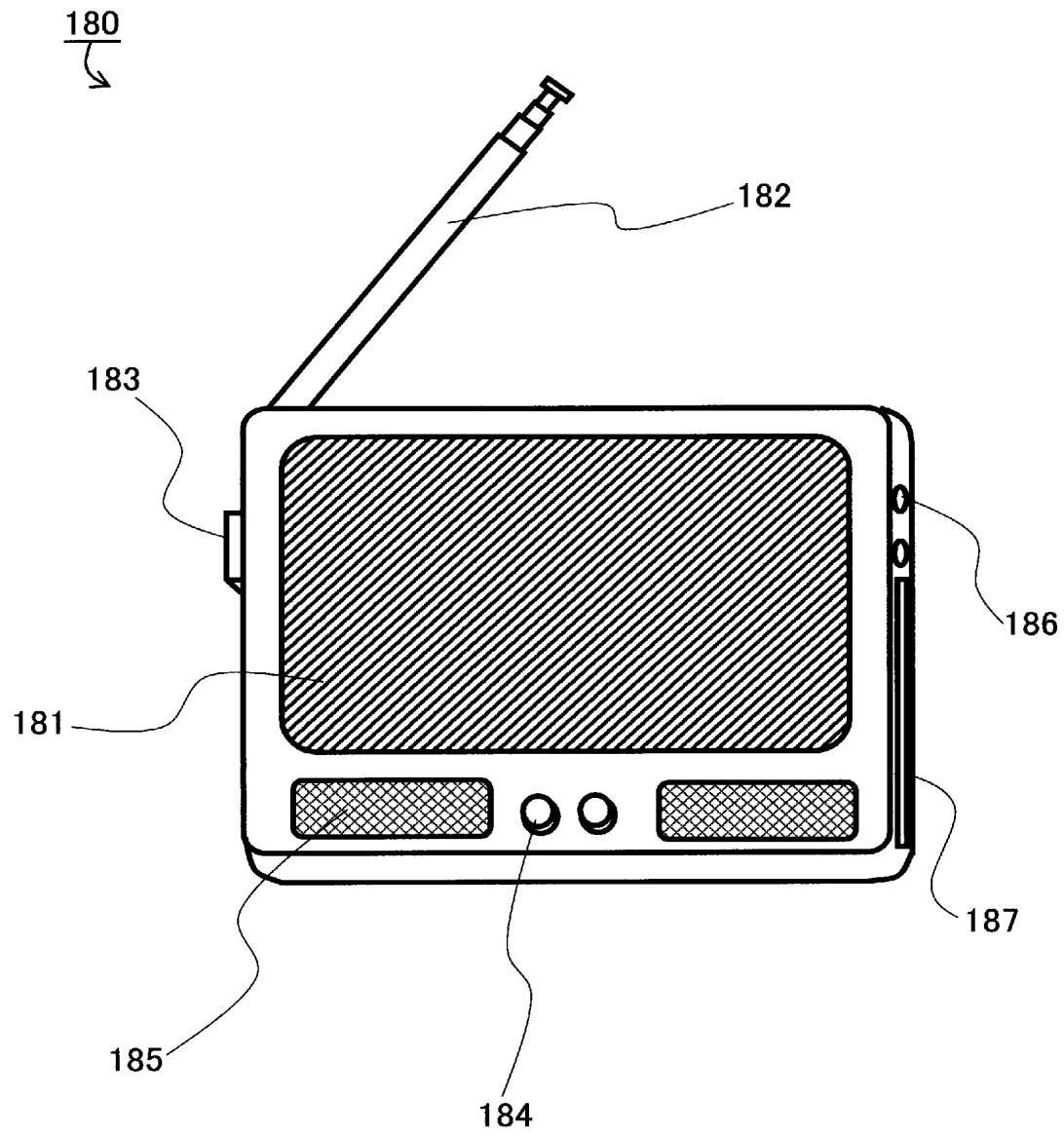


Fig. 9

[図10]

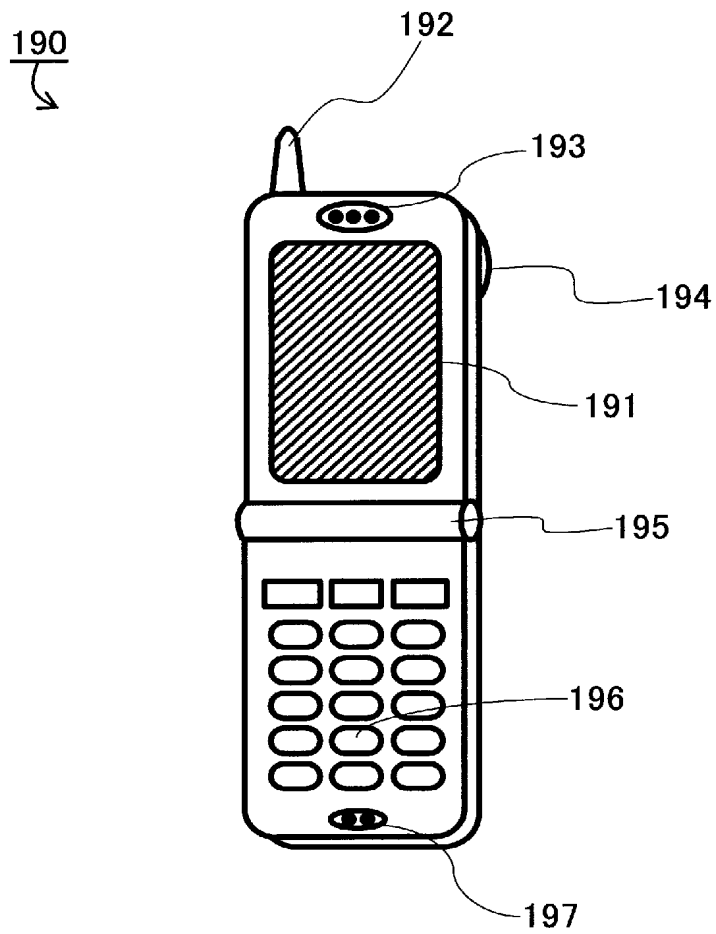


Fig. 10

[図11]

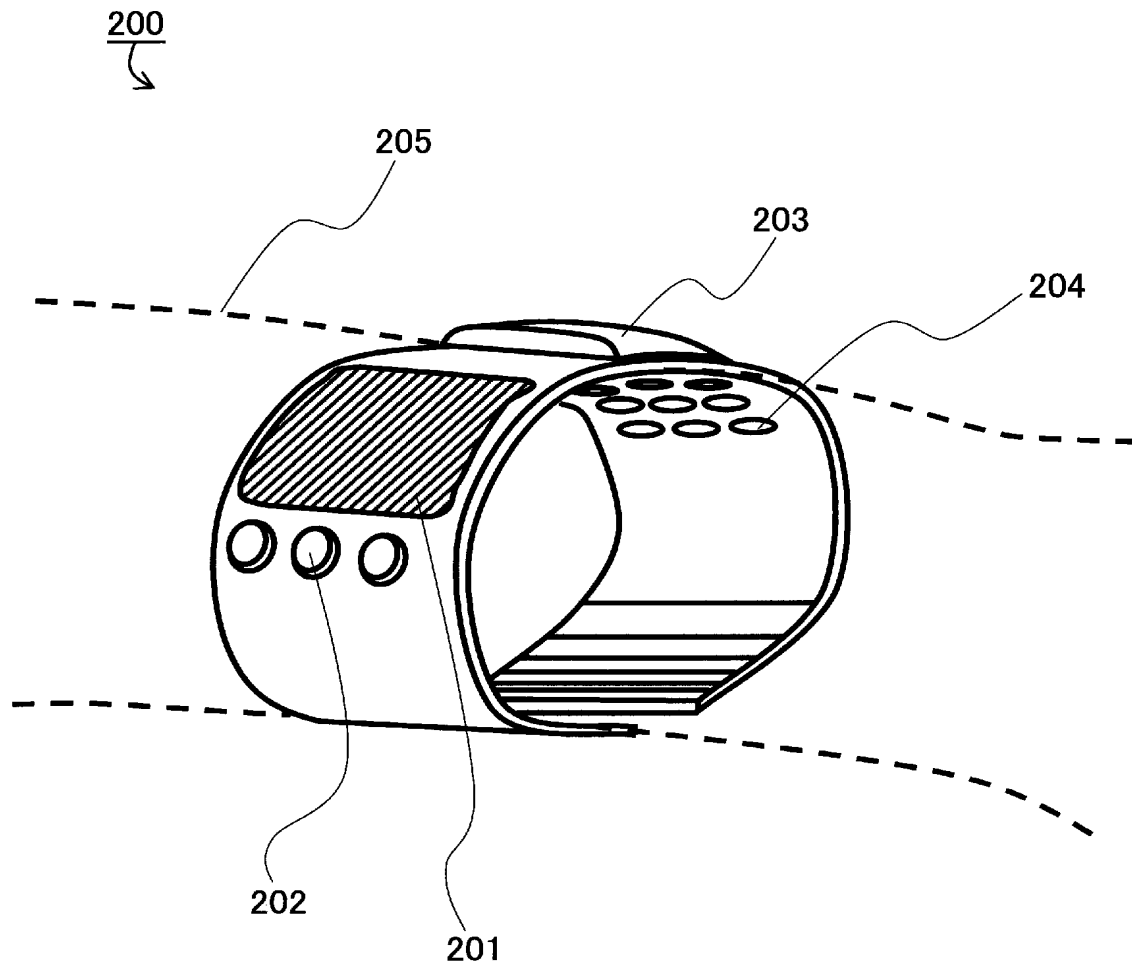


Fig. 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015705

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786 (2006.01), **H01L21/336** (2006.01), **H01L51/05** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786 (2006.01), **H01L21/336** (2006.01), **H01L51/05** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2004/006337 A1 (Sony Corp.), 15 January, 2004 (15.01.04), Full text; Figs. 11 to 13 & JP 2004-88090 A & US 2005/0056828 A1 & EP 1519418 A1	1-3, 5, 8-12 4, 6, 7 13
X Y A	JP 2004-111870 A (Kenji ISHIDA), 08 April, 2004 (08.04.04), Full text; Fig. 9 Full text; Fig. 9 Full text; all drawings (Family: none)	1-6, 8-12 7 13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 November, 2005 (11.11.05)

Date of mailing of the international search report

22 November, 2005 (22.11.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015705

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-67413 A (NEC Corp.) , 04 March, 2004 (04.03.04) , Full text; all drawings (Family: none)	4, 6, 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H01L29/786** (2006.01), **H01L21/336** (2006.01), **H01L51/05** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H01L29/786** (2006.01), **H01L21/336** (2006.01), **H01L51/05** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2004/006337 A1 (ソニー株式会社) 2004.01.15, 全文、図 11~13	1-3, 5, 8-12
Y	全文、図 11~13	4, 6, 7
A	全文、全図 & JP 2004-88090 A & US 2005/0056828 A1 & EP 1519418 A1	13
X	JP 2004-111870 A (石田謙司) 2004.04.08, 全文、図 9	1-6, 8-12
Y	全文、図 9	7
A	全文、全図 (ファミリーなし)	13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 11. 2005

国際調査報告の発送日

22. 11. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

4M

2934

綿引 隆

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-67413 A (日本電気株式会社) 2004. 03. 04, 全文、全図 (ファミリーなし)	4, 6, 7